

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05720753 **Image available**

ELECTRON EMITTING ELEMENT, ELECTRON SOURCE AND IMAGE FORMING DEVICE USING
THE ELEMENT, AND MANUFACTURE THEREOF

PUB. NO.: 10-003853 A]

PUBLISHED: January 06, 1998 (19980106)

INVENTOR(s): AEBA TOSHIAKI
 MITOME MASANORI
 NOMA TAKASHI
 TAKADA KAZUHIRO

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 08-172883 [JP 96172883]

FILED: June 13, 1996 (19960613)

INTL CLASS: [6] H01J-009/02; H01J-001/30; H01J-031/12

JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 29.4 (PRECISION
 INSTRUMENTS -- Business Machines); 30.2 (MISCELLANEOUS GOODS
 -- Sports & Recreation); 42.2 (ELECTRONICS -- Solid State
 Components); 44.4 (COMMUNICATION -- Telephone); 44.6
 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other);
 45.3 (INFORMATION PROCESSING -- Input Output Units)

JAPIO KEYWORD: R003 (ELECTRON BEAM); R012 (OPTICAL FIBERS); R020 (VACUUM
 TECHNIQUES); R101 (APPLIED ELECTRONICS -- Video Tape
 Recorders, VTR); R102 (APPLIED ELECTRONICS -- Video Disk
 Recorders, VDR); R107 (INFORMATION PROCESSING -- OCR & OMR
 Optical Readers); R108 (INFORMATION PROCESSING -- Speech
 Recognition & Synthesis); R139 (INFORMATION PROCESSING --
 Word Processors)

ABSTRACT

PROBLEM TO BE SOLVED: To provide an electron emitting element, in which a leakage and inactive area is reduced, by depositing an element electrode material on a substrate, and forming a narrow clearance between a pair of element electrodes and an electrode so as to form an electron emitting part in the narrow clearance.

SOLUTION: A quartz glass is used as a substrate 1, and after sufficiently washing the substrate with an organic solvent, Ti and Pt with predetermined thicknesses are deposited on the substrate 1 by vacuum evaporation so as to form the element electrode material. Then, a part between the element electrodes is locally eliminated by the focusing ion beam(FIB) so as to form a narrow clearance between the element electrodes 2, 3 at a predetermined distances W, L. A predetermined voltage is applied between the element electrodes 2, 3, and the value of the flowing current is measured so as to confirm the insulation between the electrodes 2, 3. A predetermined voltage is applied between the electrodes 2, 3 in a vacuum container for electrifying (activation processing), and the element current and the emission current, the value of which was 0 before the activation processing is performed, is remarkably changed for increase, and an electron emitting part 5 is formed.

Image on
reverse →

DIALOG(R)File 345:Inpad...Fam.& Legal Stat
(c) 2000 EPO. All rts. reserv.

14146888

Basic Patent (No,Kind,Date): JP 10003853 A2 980106 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 10003853	A2	980106	JP 96172883	A	960613 (BASIC)

Priority Data (No,Kind,Date):

JP 96172883 A 960613

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 10003853 A2 980106

ELECTRON EMITTING ELEMENT, ELECTRON SOURCE AND IMAGE FORMING DEVICE
USING THE ELEMENT, AND MANUFACTURE THEREOF (English)

Patent Assignee: CANON KK

Author (Inventor): AEBA TOSHIKI; MITOME MASANORI; NOMA TAKASHI;
TAKADA KAZUHIRO

Priority (No,Kind,Date): JP 96172883 A 960613

Applic (No,Kind,Date): JP 96172883 A 960613

IPC: * H01J-009/02; H01J-001/30; H01J-031/12

Derwent WPI Acc No: * G 98-116886; G 98-116886

Language of Document: Japanese

DIALOG(R)File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011699976 **Image available**

WPI Acc No: 98-116886/199811

XRPX Acc No: N98-093798

Electron emitting element manufacturing method e.g. for electron source used in image forming apparatus - involves forming narrow gap in center of material deposited for electrode element formation by fine processing technique to form electron emission part

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 10003853	A	19980106	JP 96172883	A	19960613	H01J-009/02	199811 B

Priority Applications (No Type Date): JP 96172883 A 19960613

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 10003853	A		20			

Abstract (Basic): JP 10003853 A

The method involves forming an electrode element (2,3) on a substrate (1), by depositing element electrode material.

A narrow gap (16) is formed in the center of the deposited material by fine processing technique. An electron emission part (5) is formed in the narrow gap by activation.

ADVANTAGE - Enables forming narrow gap of constant width. Enables reduction in leak area and inactive area. Increases electron emission efficiency. Enables forming high intensity image with low power consumption.

Dwg.1/17

Title Terms: ELECTRON; EMIT; ELEMENT; MANUFACTURE; METHOD; ELECTRON; SOURCE ; IMAGE; FORMING; APPARATUS; FORMING; NARROW; GAP; MATERIAL; DEPOSIT; ELECTRODE; ELEMENT; FORMATION; FINE; PROCESS; TECHNIQUE; FORM; ELECTRON; EMIT; PART

Derwent Class: V05

International Patent Class (Main): H01J-009/02

International Patent Class (Additional): H01J-001/30; H01J-031/12

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-3853

(43) 公開日 平成10年(1998) 1月6日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 J	9/02		H 0 1 J	9/02	B
	1/30			1/30	B
	31/12			31/12	C

審査請求 未請求 請求項の数26 F D (全 20 頁)

(21) 出願番号 特願平8-172883

(22) 出願日 平成8年(1996) 6月13日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 齋場 利明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 三留 正則

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 野間 敬

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

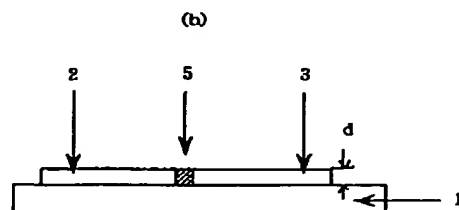
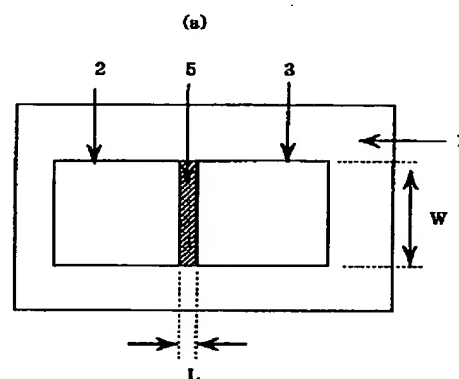
最終頁に続く

(54) 【発明の名称】 電子放出素子、それを用いた電子源、画像形成装置及びこれらの製造方法

(57) 【要約】

【課題】 リーク領域及び不活性領域が存在し、均一な電子放出特性が得られなかった。

【解決手段】 基板1上に素子電極材料を堆積する工程と、堆積した素子電極材料に、微細加工技術によって一対の素子電極2、3及びこれらの間に狭間隙を形成する工程と、狭間隙に電子放出部5を形成する活性化工程とを有する。



【特許請求の範囲】

【請求項1】 基板上に素子電極材料を堆積する工程と、
堆積した素子電極材料に、微細加工技術によって一対の素子電極及び素子電極間に狭間隙を形成する工程と、狭間隙に電子放出部を形成する活性化工程とを有することを特徴とする電子放出素子の製造方法。

【請求項2】 素子電極間の狭間隙の幅が一定であることを特徴とする請求項1の電子放出素子の製造方法。

【請求項3】 活性化工程前の素子電極間に10Vの電圧を印加した場合、素子電極間に流れる電流が素子電極長さ100 μ m当たり0.1 μ A以下であることを特徴とする請求項1または2の電子放出素子の製造方法。

【請求項4】 微細加工技術が集束イオンビーム技術またはフォトリソグラフィ技術であることを特徴とする請求項1ないし3いずれかの電子放出素子の製造方法。

【請求項5】 活性化工程が、有機物質の存在下で素子電極間に電圧を印加して行われることを特徴とする請求項1ないし4いずれかの電子放出素子の製造方法。

【請求項6】 活性化工程において、素子電極間の狭間隙に炭素を主成分とする堆積物が形成されることを特徴とする請求項5の電子放出素子の製造方法。

【請求項7】 活性化工程の後に、活性化工程より高い真空度下で電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項5または6の電子放出素子の製造方法。

【請求項8】 請求項1ないし7いずれかの方法で製造されたことを特徴とする電子放出素子。

【請求項9】 素子電極が同一面上に形成された平面型であることを特徴とする請求項8の電子放出素子。

【請求項10】 素子電極が絶縁層を介して上下に位置し、該絶縁層の側面に電子放出部が形成された垂直型であることを特徴とする請求項8の電子放出素子。

【請求項11】 複数の電子放出素子を備えた電子源の製造方法において、
基板上の複数位置に素子電極材料を堆積する工程と、
堆積した各素子電極材料に、微細加工技術によって一対の素子電極及び素子電極間に狭間隙を形成する工程と、
各狭間隙に電子放出部を形成する活性化工程とを有することを特徴とする電子源の製造方法。

【請求項12】 各素子電極間の狭間隙の幅が一定であることを特徴とする請求項11の電子源の製造方法。

【請求項13】 活性化工程前の各素子電極間に10Vの電圧を印加した場合、各素子電極間に流れる電流が素子電極長さ100 μ m当たり0.1 μ A以下であることを特徴とする請求項11または12の電子源の製造方法。

【請求項14】 微細加工技術が集束イオンビーム技術またはフォトリソグラフィ技術であることを特徴とする請求項11ないし13いずれかの電子源の製造方法。

【請求項15】 活性化工程が、有機物質の存在下で各素子電極間に電圧を印加して行われることを特徴とする請求項11ないし14いずれかの電子源の製造方法。

【請求項16】 活性化工程において、各素子電極間の狭間隙に炭素を主成分とする堆積物が形成されることを特徴とする請求項15の電子源の製造方法。

【請求項17】 活性化工程の後に、活性化工程より高い真空度下で電子放出素子に電圧を印加する安定化工程を有することを特徴とする請求項15または16の電子源の製造方法。

【請求項18】 請求項11ないし17いずれかの方法で製造されたことを特徴とする電子源。

【請求項19】 各電子放出素子が、その素子電極が同一面上に形成された平面型であることを特徴とする請求項18の電子源。

【請求項20】 各電子放出素子が、その素子電極が絶縁層を介して上下に位置し、該絶縁層の側面に電子放出部が形成された垂直型であることを特徴とする請求項18の電子源。

【請求項21】 複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がマトリクス配置されていることを特徴とする請求項18ないし20いずれかの電子源。

【請求項22】 複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がはしご状配置されていることを特徴とする請求項18ないし20いずれかの電子源。

【請求項23】 請求項18ないし22いずれかの電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項24】 請求項18ないし22いずれかの電子源と、該電子源から放出される電子線を情報信号に応じて変調する変調手段と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項25】 請求項18ないし22いずれかの電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを組み合わせることを特徴とする画像形成装置の製造方法。

【請求項26】 請求項18ないし22いずれかの電子源と、該電子源から放出される電子線を情報信号に応じて変調する変調手段と、該電子源からの電子線の照射により画像を形成する画像形成部材とを組み合わせることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子放出素子、これを用いた電子源、表示装置や露光装置等の画像形成装置、更には該電子放出素子、電子源及び画像形成装置の

製造方法に関する。

【0002】

【従来の技術】従来、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」と称す。）、金属/絶縁層/金属型（以下、「MIM型」と称す。）や表面伝導型電子放出素子等が有る。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956) あるいは C. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等に開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965) 等に開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、Au 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの [荒木久 他: 真空、第26巻、第1号、22頁 (1983)] 等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図17に模式的に示す。同図において1は基板である。4は導電性膜で、H形状のパターンに形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。尚、図中の素子電極間隔Lは、0.5~1mm、W'は、0.1mmで設定されている。

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜4を予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成す

るのが一般的である。即ち、通電フォーミングとは、前記導電性膜4の両端に電圧を印加通電し、導電性膜4を局部的に破壊、変形もしくは変質させて構造を変化させ、電氣的に高抵抗な状態の電子放出部5を形成する処理である。尚、電子放出部5では導電性膜4の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【0009】上述の表面伝導型電子放出素子は、構造が単純であることから、大面積に亘って多数素子を配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0010】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を多数行配列（梯子型配置とも呼ぶ）した電子源が挙げられる（例えば、特開昭64-31332号公報、特開平1-283749号公報、同2-257552号公報）。

【0011】また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0012】尚、従来、多数の表面伝導型電子放出素子より構成された電子源より、電子放出させ、蛍光体の発光をさせる素子の選択は、上述の多数の表面伝導型電子放出素子を並列に配置し結線した配線（行方向配線と呼ぶ）と、行方向配線と直交する方向に（列方向と呼ぶ）該電子放出素子と蛍光体間の空間に設置された制御電極（グリッドと呼ぶ）への適当な駆動信号によるものである（例えば、本出願人による特開平1-283749号公報等参照）。

【0013】

【発明が解決しようとする課題】ところで、従来の表面伝導型電子放出素子及びその応用に際して、電子放出部5を形成するには、導電性膜4を通電処理や熱処理し、該導電性膜4の一部を局部的に破壊、変形もしくは変質せしめるフォーミング処理を行っている。

【0014】一般に、導電性膜4の破壊、変形、変質過程は、導電性膜4の膜質、基板1の種類、基板1の表面状態、導電性膜4が触れている雰囲気などに大きく依存する。そのため、通電処理、熱処理のいずれの方法を用いたとしても、生成される破壊領域、もしくは変形、変質領域の幅には、ある程度のばらつきがあるのが一般的である。

【0015】このような破壊、変形領域の幅にばらつき

のある表面伝導型電子放出素子に対して、後述する活性化工程を施した場合には、ほとんどの領域で電子放出を司るものの、極端に狭い破壊、変形領域は電気的な抵抗が極端に小さくなり、素子電流こそ流れるものの、電子放出を司らなくなってしまうたり、逆に極端に広い領域では電気的な抵抗が極端に大きくなり、素子電流も流れず、電子放出も司らなくなってしまう場合がある。以下、電気抵抗が小さすぎて電子放出を司らない領域を「リーク領域」と称し、電気抵抗が大き過ぎて電子放出を司らない領域を「不活性領域」と称する。

【0016】本発明は、より均一な電子放出特性を得るため、又、より高効率な電子放出素子を得るため、リーク領域及び不活性領域の少ない電子放出素子が得られるようにすると共に、低電流で明るく高品位な画像が得られる画像形成装置を得ることを目的とする。

【0017】

【課題を解決するための手段】請求項1～7の発明は、電子放出素子の製造方法に関する発明で、基板上に素子電極材料を堆積する工程と、堆積した素子電極材料に、微細加工技術によって一対の素子電極及び素子電極間に狭間隙を形成する工程と、狭間隙に電子放出部を形成する活性化工程とを有する点に特徴を有するものである。

【0018】請求項8～10の発明は、上記製造方法で得られる電子放出素子に関する発明である。

【0019】請求項11～17の発明は、上記電子放出素子を複数個備えた電子源の製造方法に関する発明で、複数の電子放出素子を備えた電子源の製造方法において、基板上の複数位置に素子電極材料を堆積する工程と、堆積した各素子電極材料に、微細加工技術によって一対の素子電極及び素子電極間に狭間隙を形成する工程と、各狭間隙に電子放出部を形成する活性化工程とを有する点に特徴を有するものである。

【0020】請求項18～22の発明は、上記製造方法で得られる電子源に関する発明である。

【0021】更に、請求項23～26の発明は、上記電子源を用いた画像形成装置及びその製造方法に関する発明である。

【0022】本発明によれば、素子長さに相当する全領域から電子放出し、且つ各電子放出素子の電子放出特性が極めて均一であることから、均一性の高い画像形成装置を実現することができる。

【0023】また、電子放出素子にリーク領域が存在しないため、電子放出効率が高く、低い消費電力で高輝度な画像形成装置を実現することができるものである。

【0024】

【発明の実施の形態】次に、本発明の好ましい実施態様を示す。

【0025】本発明を適用し得る電子放出素子の基本的構成には大別して、平面型及び垂直型の2つがある。

【0026】まず、平面型の電子放出素子について説明

する。

【0027】図1は、本発明の平面型の電子放出素子の一構成例を示す模式図であり、図1(a)は平面図、図1(b)は断面図である。図1において、1は基板、2と3は素子電極、5は素子電極2、3間の狭間隙、すなわち電子放出部である。

【0028】基板1としては、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO₂を積層した積層体、アルミナ等のセラミックス及びSi基板等を用いることができる。

【0029】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0030】素子電極長さW、素子電極間の狭間隙の幅L、素子電極2、3の形状等は、応用される形態等を考慮して、設計される。素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数μmから数百μmの範囲とすることができる。素子電極2、3の膜厚dは、数十nmから数μmの範囲とすることができる。

【0031】素子電極間の狭間隙の幅Lは、集束イオンビーム(FIB)やフォトリソグラフィなどの微細加工技術によって形成され、素子電極間の狭間隙の幅のばらつきが30%以下であり、かつ素子電極間の狭間隙の幅が0.1μm以下であるように形成される。この狭間隙は、素子電極間に10Vの電圧を印加する場合に該電極間に流れる電流が素子電極長さ100μm当たり0.1μA以下であるような絶縁された領域として素子電極2、3間に形成する。

【0032】電子放出部5には、後述する活性化工程を経た場合、その活性化工程を行った気相中に含まれる一部あるいは全ての元素からなる単体物質及び化合物を有する場合もある。

【0033】次に、垂直型の電子放出素子について説明する。

【0034】図2は、本発明の垂直型の電子放出素子の一構成例を示す模式図であり、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。21は段さ形成部である。基板1、素子電極2及び3、電子放出部5は、前述した平面型の電子放出素子の場合と同様の材料で構成することができる。段さ形成部21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。また、素子電極長さW、素子電極間の狭間隙の幅L、素子電極2、3の形状等は、前述した平面型の電子放出素子の場合と同様に設計することができる。段さ形成部21の膜

厚は、素子電極間の狭間隙の幅し及び素子電極の膜厚dの和と同程度である。この膜厚は、段さ形成部の製法等を考慮して設定される。

【0035】本発明の電子放出素子の製造方法としては様々な方法があるが、その一例を図3に基づいて説明する。尚、図3においても図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0036】1) 基板1を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えば集束イオンビーム(FIB)やフォトリソグラフィなどの微細加工技術を用いて基板1上に素子電極2、3及び素子電極間の狭間隙6を形成する(図3(a))。

【0037】2) 次に、活性化工程と呼ばれる処理を施す。活性化工程とは、この工程により、活性化工程前には0であった素子電流 I_f 、放出電流 I_e が著しく変化して増加する工程である。

【0038】活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、図4に示すようなパルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子電極間の狭間隙及びその周囲に堆積し、素子電流 I_f 、放出電流 I_e が、著しく変化して増加するようになり、前記狭間隙付近が電子放出部5となる(図3(b))。

【0039】ここで、活性化工程の電圧波形の例を図4に示す。

【0040】電圧波形は、特にパルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図4(a)に示した手法と、パルス波高値を増加させながらパルスを印加する図4(b)に示した手法がある。

【0041】まず、パルス波高値を定電圧とした場合について図4(a)で説明する。図4(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。三角波の波高値(活性化時のピーク電圧)は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は、三角波に限定されるものではなく、図5(c)に示す矩形波等の所望の波形を採用することができる。

10 【0042】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図4(b)で説明する。図4(b)におけるT1及びT2は、図4(a)に示したのと同様とすることができる。三角波の波高値(活性化時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させることができる。パルス波形は、三角波に限定されるものではなく、図5(d)に示す矩形波等の所望の波形を採用することができる。

【0043】活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら、適宜行う。なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

20 【0044】炭素及び炭素化合物とは、例えばグラファイト(いわゆるHOPG、PG、GCを包含するもので、HOPGはほぼ完全なグラファイト結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。)、非晶質カーボン(アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す。)であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

30 【0045】3) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

40 【0046】前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスをういた場合には、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記炭素及び炭素化合物がほぼ新たに堆積しない分圧で 1×10^{-8} Torr以下が好ましく、さらには 1×10^{-10} Torr以下が特に好ましい。このときの加熱条件は、80~250℃好ましくは150℃以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低

くすることが必要で、 $1 \sim 3 \times 10^{-7}$ Torr以下が好ましく、さらには 1×10^{-8} Torr以下が特に好ましい。

【0047】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、圧力自体は多少上昇しても十分安定な特性を維持することが出来る。

【0048】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、結果として素子電流 I_f 、放出電流 I_e が、安定する。

【0049】上述した工程を経て得られた本発明を適用可能な電子放出素子の基本特性について、図6、図7を参照しながら説明する。

【0050】図6は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図6においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0051】図6において、55は真空容器であり、56は排気ポンプである。真空容器55内には表面伝導型電子放出素子が配されている。即ち、1は表面伝導型電子放出素子を構成する基体であり、2及び3は素子電極、5は電子放出部である。また、51は電子放出素子に素子電圧 V_f を印加するための電源、50は素子電極2、3間の導電性膜4を流れる素子電流 I_f を測定するための電流計、54は素子の電子放出部6より放出される放出電流 I_e を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部2より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極54の電圧を1kV~10kVの範囲とし、アノード電極54と電子放出素子との距離Hを2~8mmの範囲として測定を行うことができる。

【0052】真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになってい

る。【0053】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより250℃まで加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行いうことが出来る。

【0054】図7は、図6に示した真空処理装置を用いて測定された放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係を模式的に示した図である。図7においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。尚、縦・横軸ともリニ

アスケールである。

【0055】図7からも明らかなように、本発明の電子放出素子は、放出電流 I_e に関して次の3つの特徴的な性質を有する。

【0056】即ち、第1に、本素子はある電圧(しきい値電圧と呼ぶ;図7中の V_{th})以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0057】第2に、放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0058】第3に、アノード電極54(図6参照)に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0059】以上の説明より理解されるように、本発明の電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0060】図7においては、素子電流 I_f も素子電圧 V_f に対して単調増加する(以下、「MI特性」という。)例を示したが、素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性(VCNR特性)を示す場合もある(不図示)。これらの特性は、前述の工程を制御することで制御できる。

【0061】以上のような本発明の電子放出素子の特徴的な特性のため、複数の素子を配置した電子源や画像形成装置等でも、入力信号に応じて、容易に放出電子量を制御することができることとなり、多方面への応用ができる。

【0062】本発明の電子放出素子の応用例について以下に述べる。本発明の電子放出素子を複数個基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0063】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で、該電子放出素子の上方に配した制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配

11

置について以下に詳述する。

【0064】本発明の電子放出素子については、前述したとおり3つの特性がある。即ち、電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、電子放出素子を選択して電子放出量を制御できる。

【0065】以下この原理に基づき、本発明の電子放出素子を複数配して得られる電子源基板について、図8を用いて説明する。図8において、71は電子源基板、72はX方向配線、73はY方向配線である。74は電子放出素子、75は結線である。尚、電子放出素子74は、前述した平面型あるいは垂直型のどちらであってもよい。

【0066】m本のX方向配線72は、 $D \times 1$ 、 $D \times 2$ 、……、 $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線73は、 $D_y \times 1$ 、 $D_y \times 2$ 、……、 $D_y \times n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している（m、nは、共に正の整数）。

【0067】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0068】電子放出素子74を構成する一対の素子電極（不図示）は、それぞれm本のX方向配線72とn本のY方向配線73に、導電性金属等からなる結線75によって電気的に接続されている。

【0069】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0070】X方向配線72には、X方向に配列した電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した電子放出素子74の

12

各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0071】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0072】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図9と図10及び図11を用いて説明する。図9は、画像形成装置の表示パネルの一例を示す模式図であり、図10は、図9の画像形成装置に使用される蛍光膜の模式図である。図11は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0073】図9において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器であり、例えば大気中あるいは窒素中で、400～500℃の温度範囲で10分間以上焼成することで、封着して構成される。

【0074】74は、図1に示したような電子放出素子である。72、73は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0075】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86とリアプレート81の間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0076】図10は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみで構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ（図10（a））あるいはブラックマトリクス（図10（b））等と呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。黒色導電材91の材料としては、通常用いられている黒鉛を主

13

成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0077】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法や印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィリミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0078】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極（不図示）を設けてもよい。

【0079】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0080】図9に示した画像形成装置は、例えば以下のようにして製造される。

【0081】外囲器88内は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 10^{-7} Torr程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置に配置されたゲッター（不図示）を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば 1×10^{-7} Torr以上の真空度を維持するものである。

【0082】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図11を用いて説明する。図11において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタ、105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、Vx及びVaは直流電圧源である。

【0083】表示パネル101は、端子Dx1乃至Dxm、端子Dy1乃至Dyn及び高圧端子87を介して外部の電気回路と接続している。端子Dx1乃至Dxmには、表示パネル101内に設けられている電子源、即ち、m行n列の行列状にマトリクス配線された電子放出素子群を1行（n素子）づつ順次駆動する為の走査信号

14

が印加される。端子Dy1乃至Dynには、前記走査信号により選択された1行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子87には、直流電圧源Vaより、例えば10kVの直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0084】走査回路102について説明する。同回路は、内部にm個のスイッチング素子（図中、S1乃至Smで模式的に示している）を備えたものである。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル101の端子Dx1乃至Dxmと電気的に接続される。各スイッチング素子S1乃至Smは、制御回路103が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0085】直流電圧源Vxは、本例の場合には電子放出素子の特性（電子放出しきい値電圧）に基づき、走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するように設定されている。

【0086】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に対してTscan、Tsft及びTmryの各制御信号を発生する。

【0087】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上DATA信号と表した。このDATA信号は、シフトレジスタ104に入力される。

【0088】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであると言い換えてもよい。）。シリアル/パラレル変換された画像1ライン分のデータ（電子放出素子n素子分の駆動データに相当）は、Id1乃至Idnのn個の並列信号として前記シフトレジスタ104より出力される。

【0089】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であ

15

り、制御回路103より送られる制御信号Tmryに従って適宜Id1乃至Idnの内容を記憶する。記憶された内容は、Id'1乃至Id'nとして出力され、変調信号発生器107に入力される。

【0090】変調信号発生器107は、画像データId'1乃至Id'nの各々に応じて、電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子Dy1乃至Dynを通じて表示パネル101内の電子放出素子に印加される。

【0091】前述したように、本発明を適用可能な電子放出素子は放出電流Ieに関して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧Vthがあり、Vth以上の電圧が印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出しきい値電圧以下の電圧を印加しても電子放出は生じないが、電子放出しきい値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値Vmを変化させることにより、出力電子ビームの強度を制御することが可能である。また、パルスの幅Pwを変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0092】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107としては、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの波高値を変調できるような電圧変調方式の回路を用いることができる。パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0093】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0094】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値

16

と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0095】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば電圧制御型発振回路(VCO)を採用でき、必要に応じて電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0096】このような構成をとり得る本発明を適用可能な画像形成装置においては、各電子放出素子に、容器外端子Dx1乃至Dxm、Dy1乃至Dynを介して電圧を印加することにより、電子放出が生じる。高圧端子87を介してメタルバック85あるいは透明電極(不図示)に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0097】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これらよりも多数の走査線からなるTV信号(例えば、MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0098】次に、前述の梯子型配置の電子源及び画像形成装置について、図12及び図13を用いて説明する。

【0099】図12は、梯子型配置の電子源の一例を示す模式図である。図12において、110は電子源基板、111は電子放出素子である。112は、電子放出素子111を接続するための共通配線D1~D10であり、これらは外部端子として引き出されている。電子放出素子111は、基板110上に、X方向に並列に複数個配置されている(これを素子行と呼ぶ)。この素子行が複数個配置されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を印加し、電子ビームを放出させたくない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間に位置する共通配線D2~D9は、例えばD2とD3、D4とD5、D6とD7、D8とD9をそれぞれ一体の同一配線とすることもできる。

【0100】図13は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するた

10

20

30

40

50

17

めの開口、D1乃至Dmは容器外端子、G1乃至Gnはグリッド電極120と接続された容器外端子である。110は各素子行間の共通配線を同一配線とした電子源基板である。図13においては、図8、図11に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図9に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0101】図13においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、電子放出素子111から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッド電極の形状や配置位置は、図13に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッド電極を電子放出素子の周囲や近傍に設けることもできる。

【0102】容器外端子122D1乃至Dm及びグリッド容器外端子123G1乃至Gnは、不図示の制御回路と電気的に接続されている。

【0103】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0104】以上説明した本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピュータ等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0105】

【実施例】以下に、実施例を挙げて本発明を更に詳述する。

【0106】実施例1

本実施例の電子放出素子の構成は、図1(a)、(b)に示されるものと同様である。

【0107】電子放出素子の製法は、基本的には図3で説明した方法と同様である。以下、図1及び図3を用いて、本実施例の電子放出素子の基本的な構成及び製造法を説明する。

【0108】図1において1は基板、2と3は素子電極、5は電子放出部である。なお、図1中のWは素子電極長さ、Lは素子電極間の狭間隙の幅、dは素子電極の厚さを表している。

【0109】以下、製造手順を図1及び図3に基づいて説明する。

【0110】工程-a

18

基板1として石英ガラス基板を用い、これを有機溶剤により十分に洗浄後、基板1上に厚さ5nmのTi、及び厚さ30nmのPtを真空蒸着し、素子電極材料を形成した。次に、素子電極間となる部位を集束イオンビーム(FIB)により局所的に除去して $W=150\mu\text{m}$ 、 $L=30\text{nm}$ の素子電極2、3間に狭間隙を形成した(図3(a))。また、素子電極間の狭間隙の幅Lのばらつきは10%以下であり、素子電極間の狭間隙の幅Lが一定であることが確認された。次に、この素子電極2及び3間に10Vの電圧を印加したときに流れる電流値を測定したところ、 $0.1\mu\text{A}$ であり、素子電極2、3間の絶縁が確認された。

【0111】工程-b

次に、真空容器中で素子電極2、3間に10Vの電圧を印加し、通電処理（活性化処理）をすることにより、活性化処理前には0であった素子電流If及び放出電流Ieが著しく変化して増加するようになり、電子放出部5が形成される。活性化処理の電圧波形は、図4(a)に示す三角波を使用した。

【0112】図4(a)に示すT1とT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値（活性化時のピーク電圧）は15Vとし、活性化処理はロータリポンプで排気した約 $1\times 10^{-3}\text{Torr}$ の真空雰囲気下で60分間行った。

【0113】更に、以上のように作成した電子放出素子の電子放出特性を、上述の図6の測定評価系を用いて測定した。この電子放出素子及びアノード電極54は真空装置55内に設置されており、その真空装置55には排気ポンプ56及び不図示の真空計等の機器が具備されており、所望の真空雰囲気下で電子放出素子の測定評価を行えるようになっている。

【0114】尚、図5におけるアノード電極54と電子放出素子の距離を4mm、アノード電極54の電位を1kV、電子放出特性測定時の真空装置内の真空度は $1\times 10^{-6}\text{Torr}$ とした。

【0115】その結果、素子電流If及び放出電流Ieを測定したところ、図7に示したような電流-電圧特性が得られた。本実施例の電子放出素子では、素子電圧7V程度から急激に放出電流Ieが増加し、素子電圧12Vでは素子電流Ifが0.8mA、放出電流Ieが0.8 μA となり、電子放出効率 $\eta=Ie/If$ は0.1%であった。

【0116】次に、同様な方法で10素子を作製し、素子毎の放出電流Ieのばらつきを測定したところ、ばらつきの幅は9%であった。

【0117】実施例2

スパッタ法により厚さ30nmのPdの素子電極2、3を形成する以外は、実施例1と同様にして電子放出素子を作製したところ、実施例1と同様な電子放出特性が得

られることが確認された。

【0118】実施例3

活性化処理をイオンポンプで十分に真空排気した後、約 2×10^{-3} Torr のアセトンを導入した真空雰囲気下で行った以外は、実施例1と同様の方法で電子放出素子を作製したところ、実施例1と同様な電子放出特性が得られることが確認された。

【0119】実施例4

活性化処理に矩形波を用い、電圧波形のパルス幅 T_1 を1ミリ秒、パルス間隔 T_2 を20ミリ秒とし、矩形波の波高値（活性化時のピーク電圧）は12Vとしたこと以外は、実施例1と同様の方法で電子放出素子を作製したところ、実施例1と同様な電子放出特性が得られることが確認された。

【0120】実施例5

図8に示したように、多数の電子放出素子74を単純マトリクス配置した基板71の各素子電極に対して、夫々実施例1と同様にしてFIBにより素子電極間に狭間隙を形成した後、活性化処理を行い電子源基板を形成した。

【0121】次に、このようにして作成した電子源基板を用いて画像形成装置を構成した例を、図9と図10を用いて説明する。

【0122】上述のようにして多数の電子放出素子74を設けた基板71をリアプレート81上に固定した後、基板71の5mm上方に、フェースプレート86（ガラス基板83の内面に蛍光膜84とメタルバック85が形成されて構成される）を支持棒82を介して配置し、フェースプレート86、支持棒82、リアプレート81の接合部にフリットガラスを塗布し、大気中400℃10分焼成することで封着した。またリアプレート81への基板71の固定もフリットガラスで行った。

【0123】図9において、72、73は夫々X方向及びY方向配線である。

【0124】蛍光膜84は、モノクロームの場合は蛍光体92のみからなるが、本実施例では蛍光体92はストライプ形状（図10（a））を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体92を塗布して蛍光膜84を作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。

【0125】ガラス基板83に蛍光体92を塗布する方法としてはスラリー法を用いた。また、蛍光膜84の内面側にはメタルバック85を設けた。メタルバック85は、蛍光膜84の作製後、蛍光膜84の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後、A1を真空蒸着することで作製した。

【0126】フェースプレート86には、更に蛍光膜84の導伝性を高めるため、蛍光膜84の外側面に透明電極（不図示）が設けられる場合もあるが、本実施例で

は、メタルバック85のみで十分な導伝性が得られたので省略した。

【0127】前述の封着を行う際、カラーの場合は各色蛍光体92と電子放出素子74とを対応させなくてはならないため、十分な位置合わせを行った。

【0128】以上のように完成した本発明の画像形成装置において、外部端子 $D \times 1$ ないし $D \times m$ と $Dy 1$ ないし $Dy n$ を通じ、走査信号及び変調信号を不図示の信号発生手段より夫々電子放出素子74に印加することにより電子放出させると共に、高圧端子 Hv を通じてメタルバック85あるいは透明電極（不図示）に数kV以上の高圧を印加して、電子ビームを加速し、蛍光膜84に衝突させ、励起・発光させることで画像の表示が得られた。

【0129】実施例6

図14は、実施例5の画像形成装置を、例えばテレビジョン放送を初めとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0130】図中1700はディスプレイパネル、1701はディスプレイパネルの駆動回路、1702はディスプレイコントローラ、1703はマルチプレクサ、1704はデコーダ、1705は入出力インターフェース回路、1706はCPU、1707は画像生成回路、1708及び1709及び1710は画像メモリーインターフェース回路、1711は画像入力インターフェース回路、1712及び1713はTV信号受信回路、1714は入力部である。

【0131】尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0132】以下、画像信号の流れに沿って各部の機能を説明する。

【0133】まず、TV信号受信回路1713は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0134】受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でもよい。また、これらより更に多数の走査線よりなるTV信号、例えばMUSE方式を初めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0135】TV信号受信回路1713で受信されたTV信号は、デコーダ1704に出力される。

【0136】TV信号受信回路1712は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて

21

伝送されるTV信号を受信するための回路である。前記TV信号受信回路1713と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコード1704に出力される。

【0137】画像入力インターフェース回路1711は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコード1704に出力される。

【0138】画像メモリーインターフェース回路1710は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード1704に出力される。

【0139】画像メモリーインターフェース回路1709は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード1704に出力される。

【0140】画像メモリーインターフェース回路1708は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコード1704に出力される。

【0141】入出力インターフェース回路1705は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本画像形成装置の備えるCPU1706と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0142】画像生成回路1707は、前記入出力インターフェース回路1705を介して外部から入力される画像データや文字・図形情報や、あるいはCPU1706より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等を初めとして、画像の生成に必要な回路が組み込まれている。

【0143】本回路により生成された表示用画像データは、デコード1704に出力されるが、場合によっては前記入出力インターフェース回路1705を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0144】CPU1706は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0145】例えば、マルチプレクサ1703に制御信号を出力し、ディスプレイパネルに表示する画像信号を

22

適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ1702に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路1707に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路1705を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0146】尚、CPU1706は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述したように、入出力インターフェース回路1705を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0147】入力部1714は、前記CPU1706に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0148】デコード1704は、前記1707ないし1713より入力される種々の画像信号を3原色信号、又は輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコード1704は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を初めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0149】画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路1707及びCPU1706と協同して、画像の間引き、補間、拡大、縮小、合成を初めとする画像処理や編集が容易になるという利点を得られる。

【0150】マルチプレクサ1703は、前記CPU1706より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ1703はデコード1704から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路1701に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0151】ディスプレイパネルコントローラ1702は、前記CPU1706より入力される制御信号に基づき、駆動回路1701の動作を制御するための回路である。

【0152】ディスプレイパネルの基本的な動作に関わ

るものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路1701に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路1701に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路1701に対して出力する場合もある。

【0153】駆動回路1701は、ディスプレイパネル1700に印加する駆動信号を発生するための回路であり、前記マルチプレクサ1703から入力される画像信号と、前記ディスプレイパネルコントローラ1702より入力される制御信号に基づいて動作するものである。

【0154】以上、各部の機能を説明したが、図14に例示した構成により、本画像形成装置においては多様な画像情報源より入力される画像情報をディスプレイパネル1700に表示することが可能である。即ち、テレビジョン放送を初めとする各種の画像信号は、デコーダ1704において逆変換された後、マルチプレクサ1703において適宜選択され、駆動回路1701に入力される。一方、ディスプレイコントローラ1702は、表示する画像信号に応じて駆動回路1701の動作を制御するための制御信号を発生する。駆動回路1701は、上記画像信号と制御信号に基づいてディスプレイパネル1700に駆動信号を印加する。これにより、ディスプレイパネル1700において画像が表示される。これらの一連の動作は、CPU1706により統括的に制御される。

【0155】本画像形成装置においては、前記デコーダ1704に内蔵する画像メモリや、画像生成回路1707及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を初めとする画像処理や、合成、消去、接続、入れ換え、嵌め込み等を初めとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けてもよい。

【0156】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを初めとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0157】尚、図14は、本発明の電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形

成装置がこれのみに限定されるものでないことは言うまでもない。

【0158】例えば図14の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加するのが好適である。

10 【0159】本画像形成装置においては、とりわけ表面伝導型電子放出素子を電子源としているので、ディスプレイパネルの薄型化が容易なため、画像形成装置の奥行きを小さくすることができる。それに加えて、表面伝導型電子放出素子を電子ビーム源とする表示パネルは大画面化が容易で輝度が高く視野角特性にも優れるため、画像形成装置は臨場感にあふれ、迫力に富んだ画像を視認性良く表示することが可能である。

【0160】比較例

比較例として、図15に示すような表面伝導型電子放出素子を作製した。

20 【0161】図15(a)は本比較例の表面伝導型電子放出素子の平面図、(b)はその断面図を示している。また、図15(a)、(b)において、1は基板、2及び3は素子電極、4は導電性膜、5は電子放出部を示す。なお、図15(a)、(b)中のL1は素子電極間隔、W1は素子電極の幅、dは素子電極の厚さ、W2は素子の幅を表している。

【0162】図16は、本比較例の表面伝導型電子放出素子の製造方法を示している。

30 【0163】まず、基板1として石英ガラス基板を用意し、これを有機溶剤により十分に洗浄後、基板1上に厚さ5nmのTi、及び厚さ30nmのPtからなる素子電極2、3を形成した（図16(a)）。素子電極間隔L1は3 μ m、素子電極の幅W1は150 μ m、素子電極の厚さdは35nmとした。

【0164】ジメチルスルホキシド40重量%の水溶液を調整し、これに酢酸パラジウムをパラジウム重量濃度0.4%となるように溶解して暗赤色の溶液を得た。この溶液の一部を別容器に取り、減圧して赤褐色のペーストとなるまで溶媒を蒸発させた。

40 【0165】バブルジェット方式のインクジェット装置31により、上記暗赤色の溶液の液滴32を素子電極2、3を形成した基板1上に素子電極2、3に跨がるように付与した（図16(b)）。ここで、33は基板1に滴下された液滴である。次に、80℃で2分間乾燥させた後、350℃で12分間焼成して主として酸化パラジウムからなる微粒子薄膜の導電性膜4を形成した（図16(c)）。

50 【0166】次に、真空容器中で素子電極2及び3の間に電圧を印加し、導電性膜4を通電処理（フォーミング

25

処理)することにより、電子放出部5を作製した(図16(d))。

【0167】フォーミング処理の電圧波形を図4(a)に示す。本比較例では、電圧波形のパルス幅T1を1ミリ秒、パルス間隔T2を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は5Vとし、 1×10^{-6} Torrの真空雰囲気下で60秒間のフォーミング処理を行い、電子放出部5を形成した。

【0168】次に、真空容器中で素子電極2、3間に10Vの電圧を印加し、通電処理(活性化処理)をすることにより、活性化処理前にはほとんど測定されなかった素子電流If及び放出電流Ieが著しく変化して増加する。活性化処理の電圧波形は、図4(a)に示す三角波を使用した。

【0169】図4(a)に示すT1とT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値(活性化時のピーク電圧)は15Vとし、活性化処理はロータリポンプで排気した約 1×10^{-3} Torrの真空雰囲気下で60分間行った。

【0170】以上のようにして作製された表面伝導型電子放出素子の電子放出特性を、図6の測定評価系により測定した。この表面伝導型電子放出素子及びアノード電極54は真空装置55内に設置されており、その真空装置55には排気ポンプ56及び不図示の真空計等の機器が具備されており、所望の真空雰囲気下で表面伝導型電子放出素子の測定評価を行えるようになっている。

【0171】尚、図6におけるアノード電極54と表面伝導型電子放出素子の距離を4mm、アノード電極54の電位を1kV、電子放出特性測定時の真空装置内の真空度は 1×10^{-6} Torrとした。

【0172】その結果、素子電流If及び放出電流Ieを測定したところ、図7に示したような電流-電圧特性が得られた。本比較例の表面伝導型電子放出素子では、素子電圧7V程度から急激に放出電流Ieが増加し、素子電圧12Vでは素子電流Ifが0.8mA、放出電流Ieが0.62 μ Aとなり、電子放出効率 $\eta = Ie / If$ は0.08%であった。

【0173】次に、同様な方法で10素子を作製し、素子毎の放出電流のばらつきを測定したところ、ばらつきは17%であった。

【0174】

【発明の効果】以上説明したように、本発明によれば、集束イオンビーム(FIB)やフォトリソグラフィなどの微細加工技術を用いて、狭間隙の幅が一定であり、且つ狭間隙の幅が0.1 μ m以下であるように形成された一対の素子電極を持ち、同時に素子電極間に10Vの電圧を印加した場合に、素子電極間に流れる電流が素子電極長さ100 μ m当たり0.1 μ A以下であるような絶縁された領域として狭間隙が形成されている。また、従

26

来のような通電処理もしくは熱処理によるフォーミング処理を施さずに活性化処理を施すことによって電子放出部が作製されるので、フォーミング処理によって生じる破壊、変形領域の幅にばらつきを持った素子に対して活性化工程を施した場合に生じるリーク領域及び不活性領域をできるだけ少なくすることができる。

【0175】したがって、本発明の電子放出素子によれば、素子長さに相当する全領域から電子放出し、且つ各電子放出素子間の電子放出特性が極めて均一であることから、均一性の高い電子源及び画像形成装置を実現することができる。また、本発明の電子放出素子にはリーク領域が存在しないため、電子放出効率が高く、低い消費電力で高輝度な画像形成装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の平面型の電子放出素子を示す概略的構成図である。

【図2】本発明の垂直型の電子放出素子を示す概略的構成図である。

【図3】本発明の電子放出素子の製造方法を示す図である。

【図4】フォーミング波形(三角波)の例を示す図である。

【図5】フォーミング波形(矩形波)の例を示す図である。

【図6】本発明の電子放出素子の測定評価系の一例を示す概略的構成図である。

【図7】本発明の電子放出素子の放出電流-素子電圧特性(I-V特性)を示す図である。

【図8】単純マトリクス配置の本発明の電子源の概略的構成図である。

【図9】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である。

【図10】図9の表示パネルにおける蛍光膜を示す図である。

【図11】図9の表示パネルを駆動する駆動回路の一例を示す図である。

【図12】梯型配置の電子源の概略的平面図である。

【図13】梯型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である。

【図14】実施例6における画像形成装置を示すブロック図である。

【図15】比較例の表面伝導型電子放出素子を示す概略構成図である。

【図16】比較例の表面伝導型電子放出素子の製造方法を示す図である。

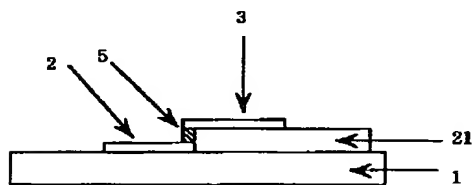
【図17】従来の平面型表面伝導型電子放出素子を示す概略的構成図である。

【符号の説明】

- 1 基体
- 2, 3 素子電極

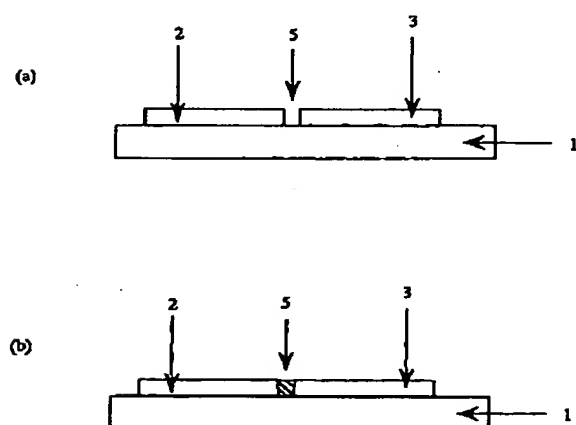
- 4 導電性膜
- 5 電子放出部
- 6 素子電極間の狭間隙
- 21 段差形成部
- 31 インクジェット装置
- 32 液滴
- 33 基板に滴下された液滴
- 50 素子電流 I_f を測定するための電流計
- 51 電源
- 52 放出電流 I_e を測定するための電流計
- 53 高圧電源
- 54 アノード電極
- 55 真空装置
- 56 排気ポンプ
- 57 ガス導入管
- 71 基板
- 72 X方向配線(下配線)
- 73 Y方向配線(上配線)
- 74 電子放出素子
- 75 結線
- 81 リアプレート
- 82 支持枠
- 83 ガラス基板
- 84 蛍光膜
- 85 メタルバック
- 86 フェースプレート
- 87 高圧端子
- 88 外囲器

【図2】

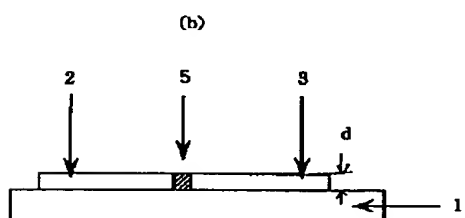
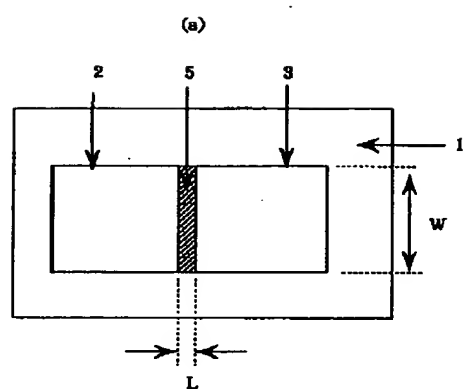


- 91 黒色導伝材
- 92 蛍光体
- 101 表示パネル
- 102 走査回路
- 103 制御回路
- 104 シフトレジスタ
- 105 ラインメモリ
- 106 同期信号分離回路
- 107 変調信号発生器
- 10 111 電子放出素子
- 112 共通配線
- 120 グリッド電極
- 121 開口
- 1700 ディスプレイパネル
- 1701 駆動回路
- 1702 ディスプレイコントローラ
- 1703 マルチプレクサ
- 1704 デコーダ
- 1705 入出力インターフェース回路
- 20 1706 CPU
- 1707 画像生成回路
- 1708 画像メモリーインターフェース回路
- 1709 画像メモリーインターフェース回路
- 1710 画像メモリーインターフェース回路
- 1711 画像入力インターフェース回路
- 1712 TV信号受信回路
- 1713 TV信号受信回路
- 1714 入力部

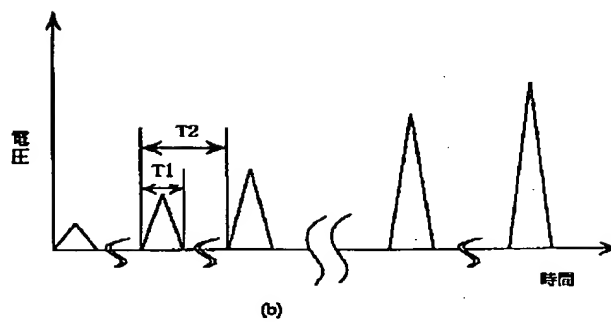
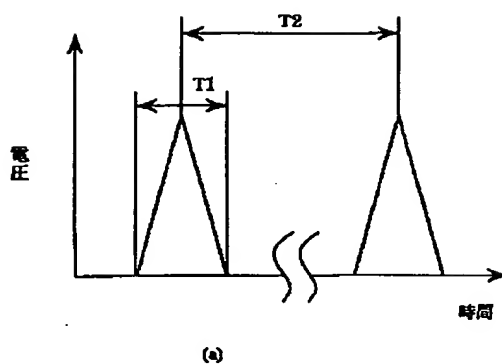
【図3】



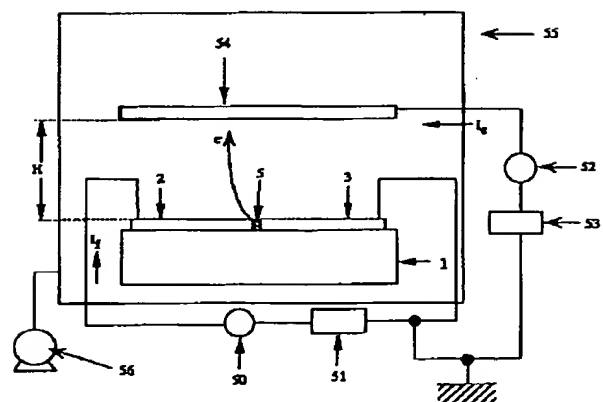
【図1】



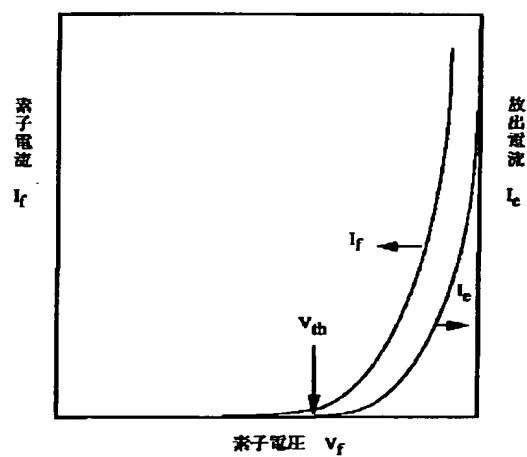
【図4】



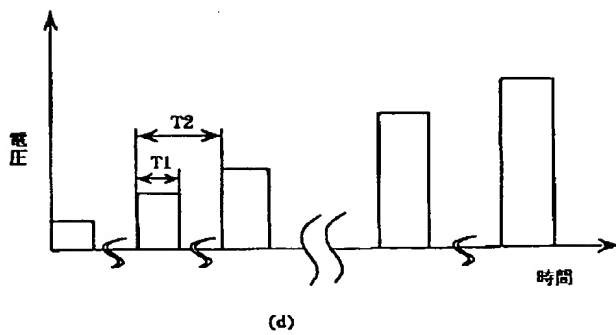
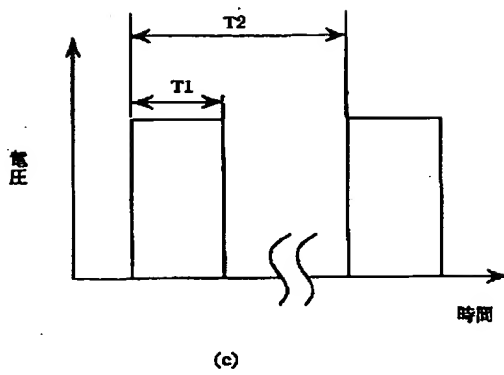
【図6】



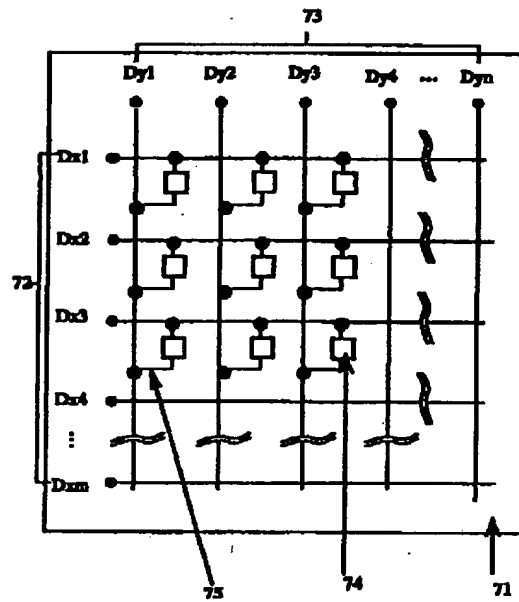
【図7】



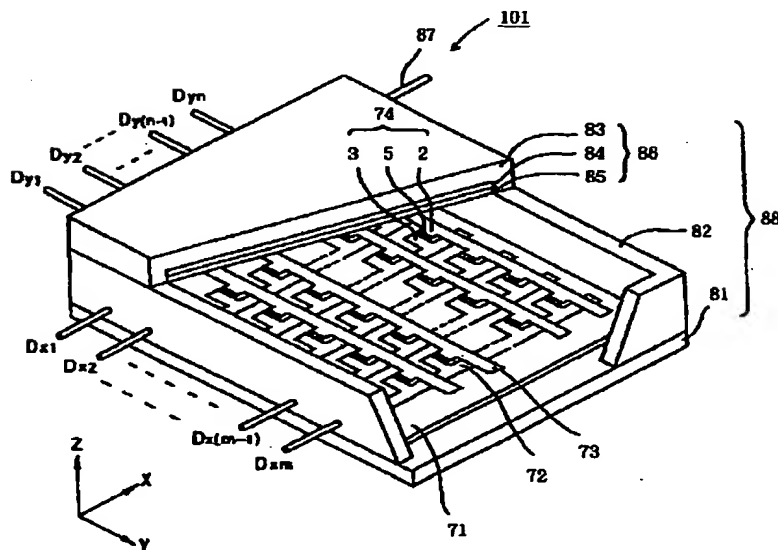
【図5】



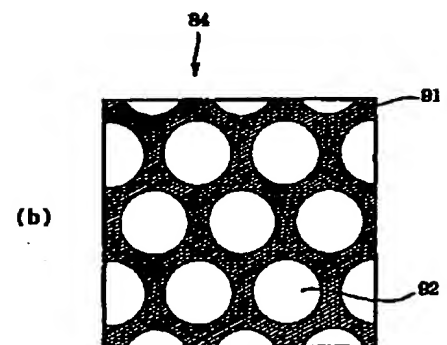
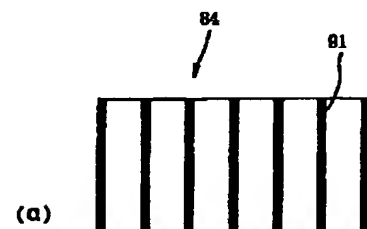
【図8】



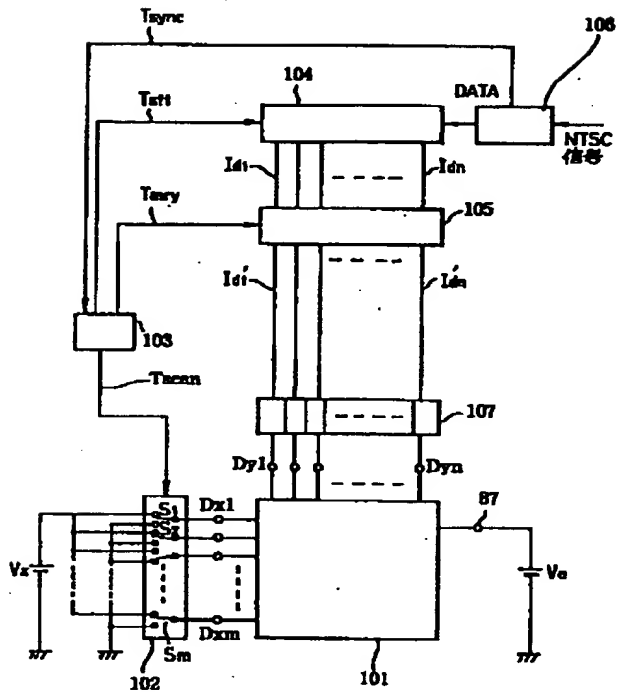
【図9】



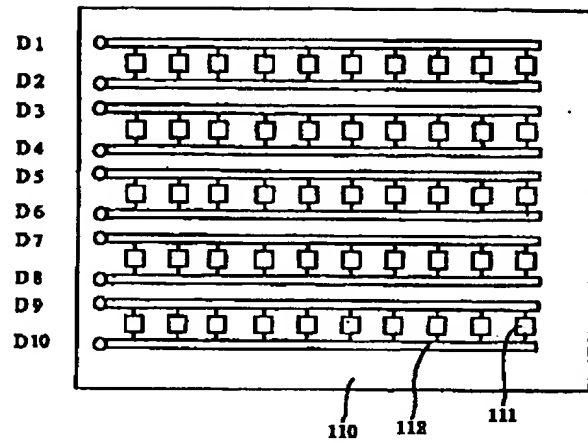
【図10】



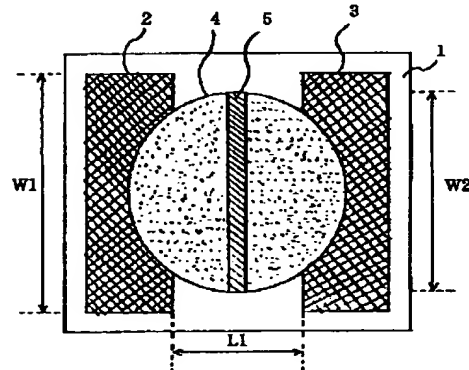
【図11】



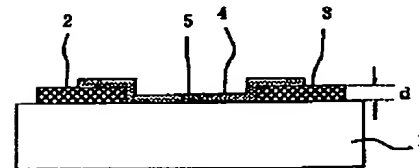
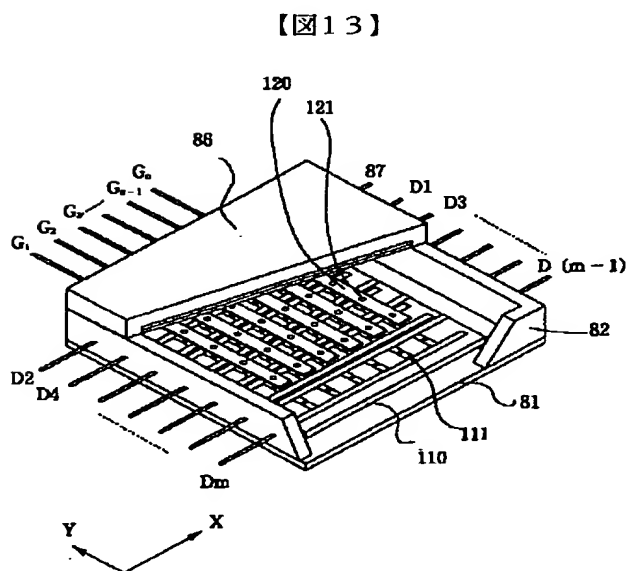
【図12】



【図15】

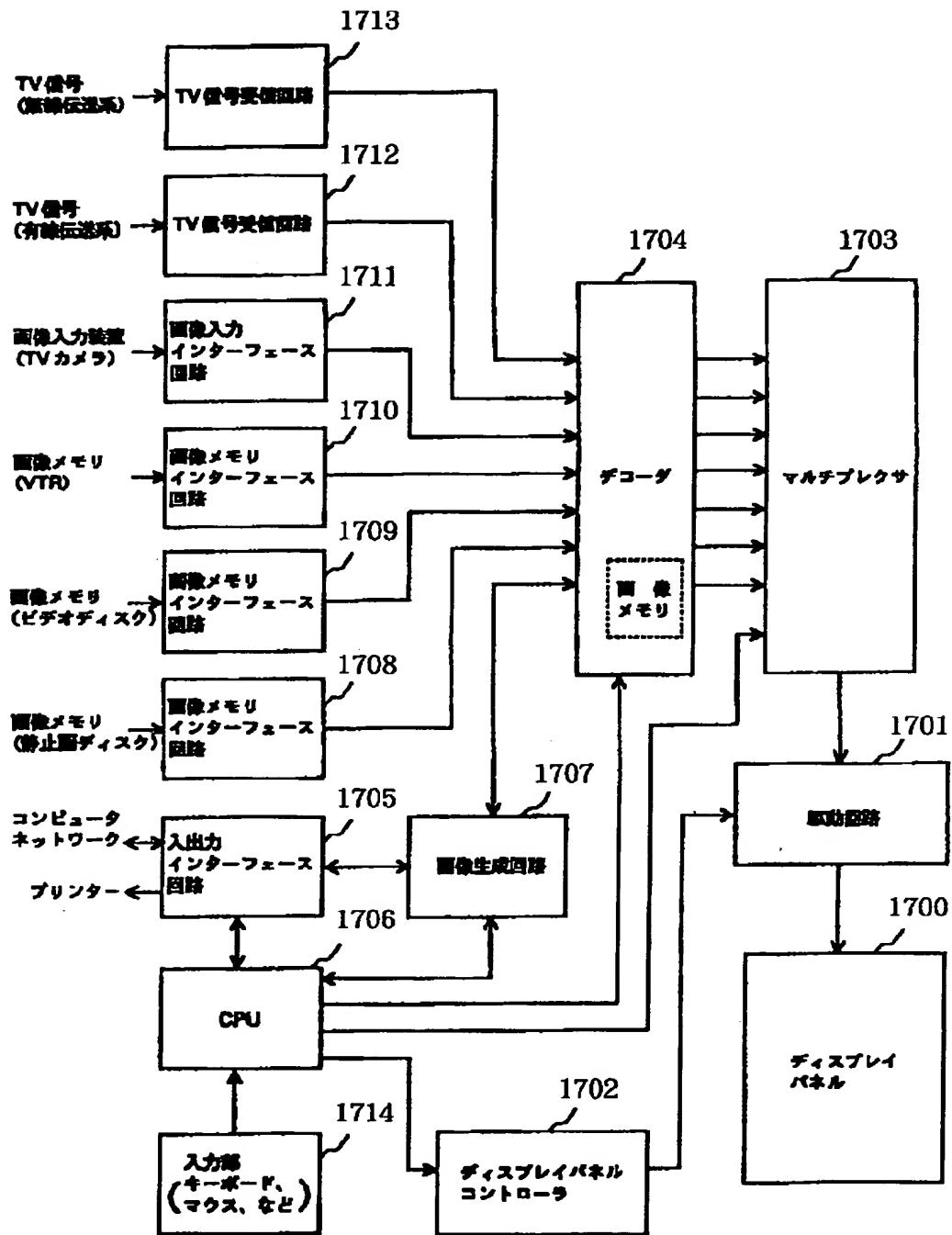


(a)

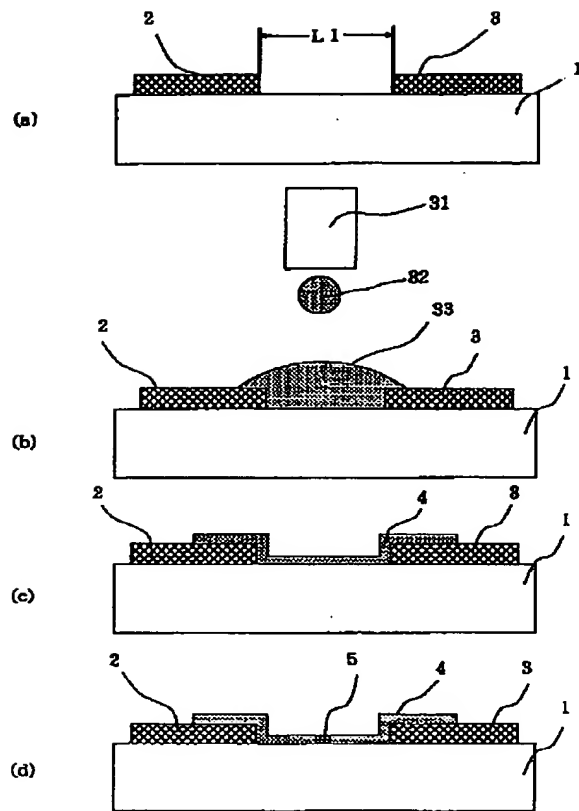


(b)

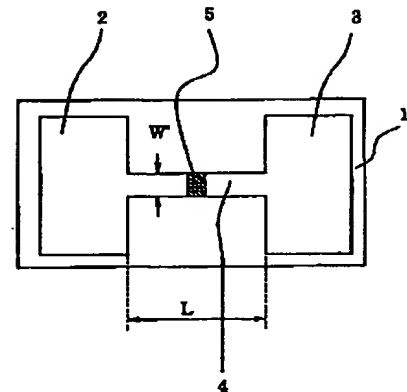
【図14】



【図16】



【図17】



フロントページの続き

(72)発明者 高田 一広
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内